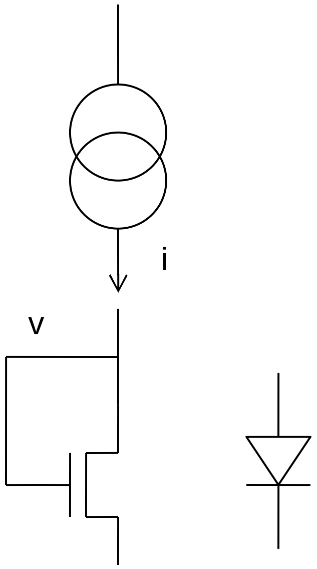
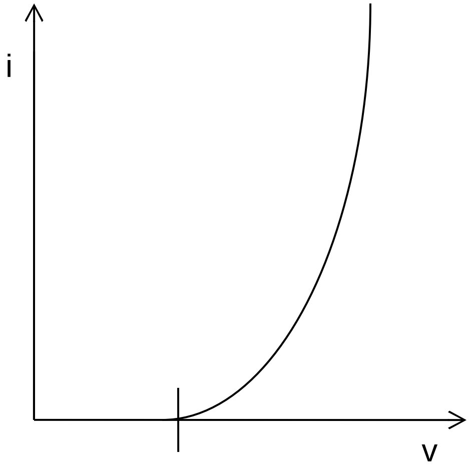
Vorlesung 6
(Version …)

Diode-Connected Mosfet

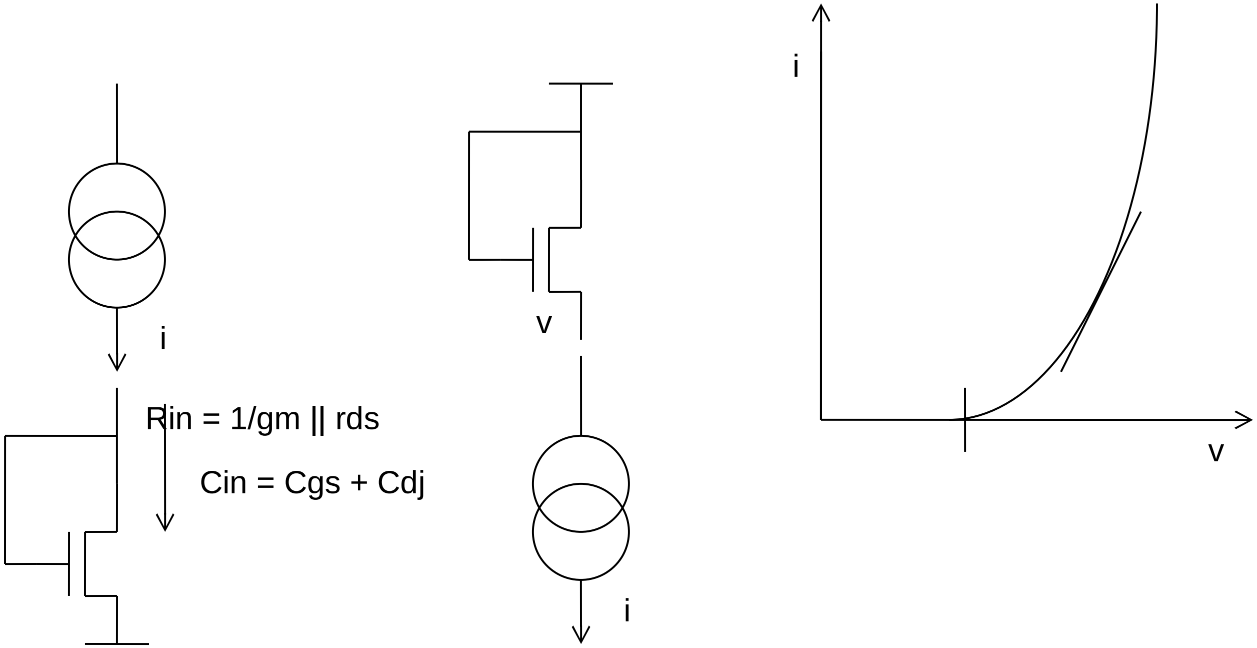
- Einige Schaltungen…
- „MOSFET Diode“ - Drain und das Gate kurzgeschlossen
- Funktionsweise (GK)
- Diode-Connected MOSFET ist immer in Sättigung (warum) – Ids = f(Vgs)





Diode-Connected Mosfet

- Varianten: Signalstrom kann entweder an Drain/Gate oder an Source angeschlossen werden
- Rin ~ 1/gm
- Cin ~ Cgs

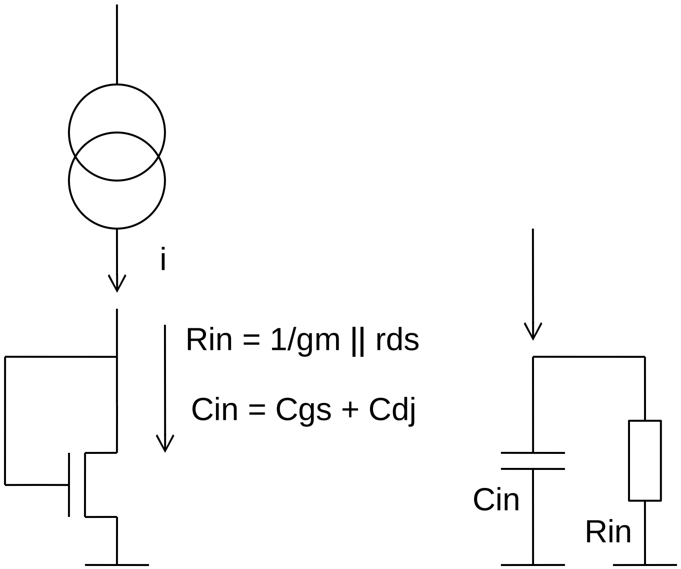


Rin = 1/gm || rds

Cin = Cgs + Cdj

Diode-Connected Mosfet

- AC Kennlinie
- Schnelle Schaltung



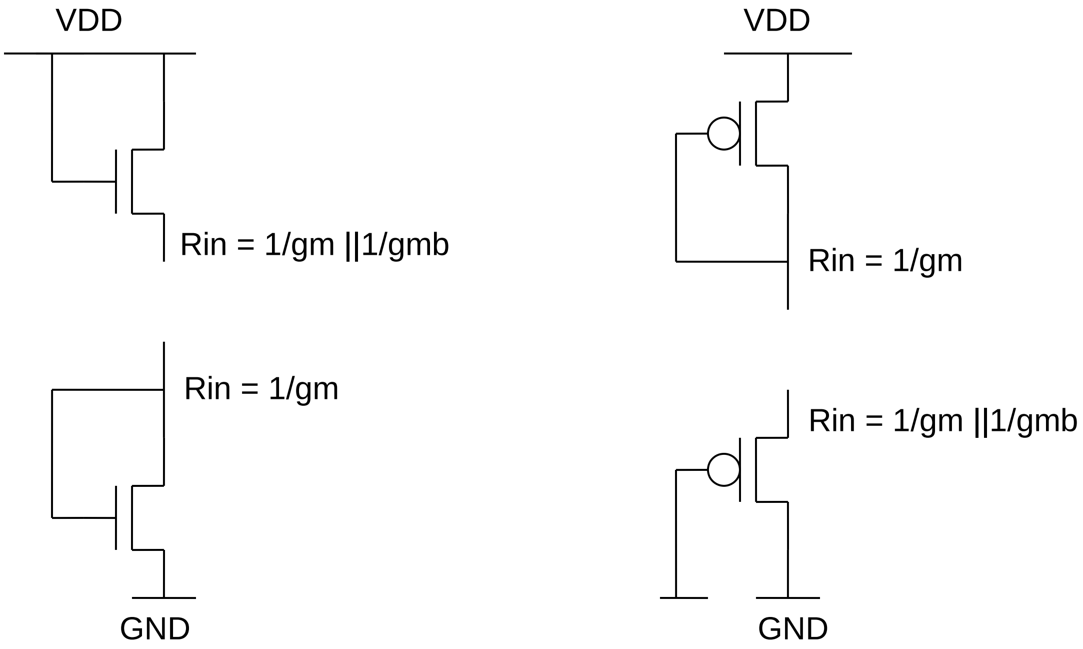
$R_{in} = 1/g_m \,||\, r_{ds}$

$C_{in} = C_{gs} + C_{dj}$

$$V(s)/I(s) = \frac{1/g_m}{1+sC_{in}/g_m}$$

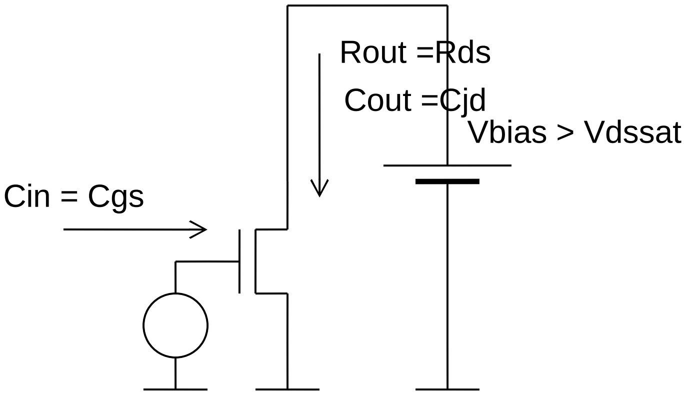
Diode-Connected Mosfet

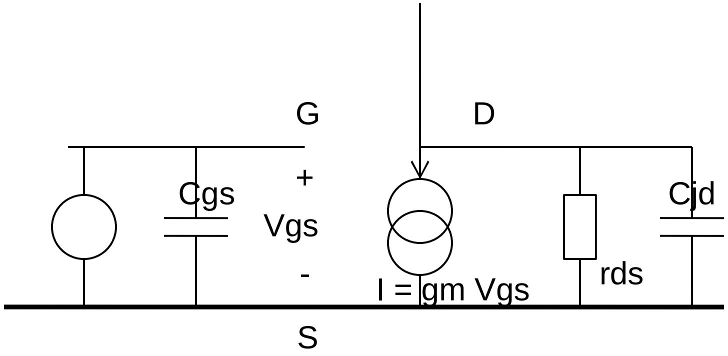
- Pmos und Nmos Varianten
- In Weak Inversion, Diode-Connected MOSFET ist nicht immer in Sättigung


VDD
Rin = 1/gm ||1/gmb
Rin = 1/gm
GND
VDD
Rin = 1/gm
Rin = 1/gm ||1/gmb
GND

Spannungsgesteuerte Stromquelle

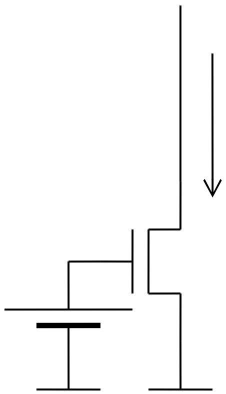
- Signalspannung am Gate
- Bias Spannung am Drain – Ausgang Ids
- Rout = rds
- Cin = Cgs

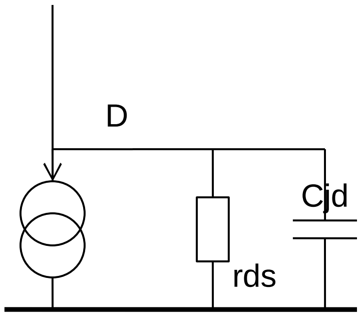

Rout =Rds
Cout =Cjd
Vbias > Vdssat
Cin = Cgs


G
D
Cgs
+
Vgs
-
Cjd
rds
I = gm Vgs
S

Stromquelle

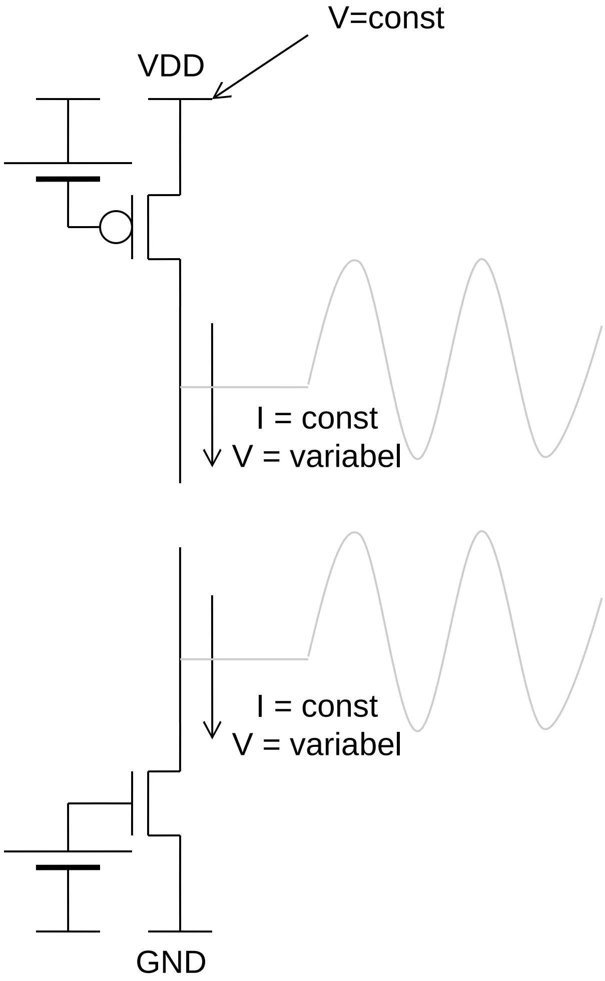
- Konstante Stromquelle für konstante vgs Spannung.

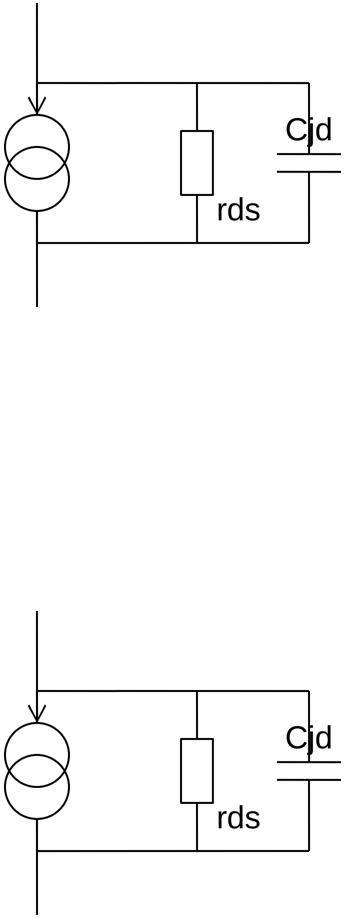




Stromquelle

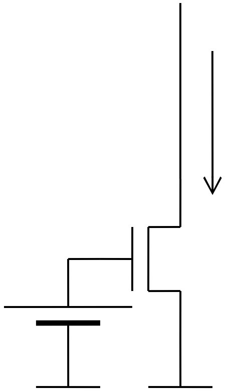
- Source von NMOS GND, Source vom PMOS VDD
- Großsignal: nur ein Kontakt der Stromquelle hat ein freies potential – Kleinsignalmodal ist symmetrisch

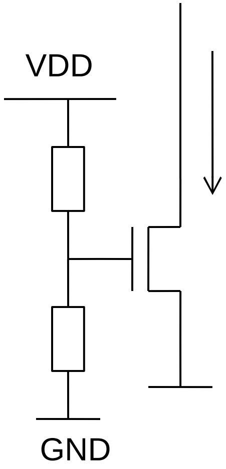

V=const
VDD
I = const
V = variabel
I = const
V = variabel
GND


Cjd
rds
Cjd
rds

Stromspiegel

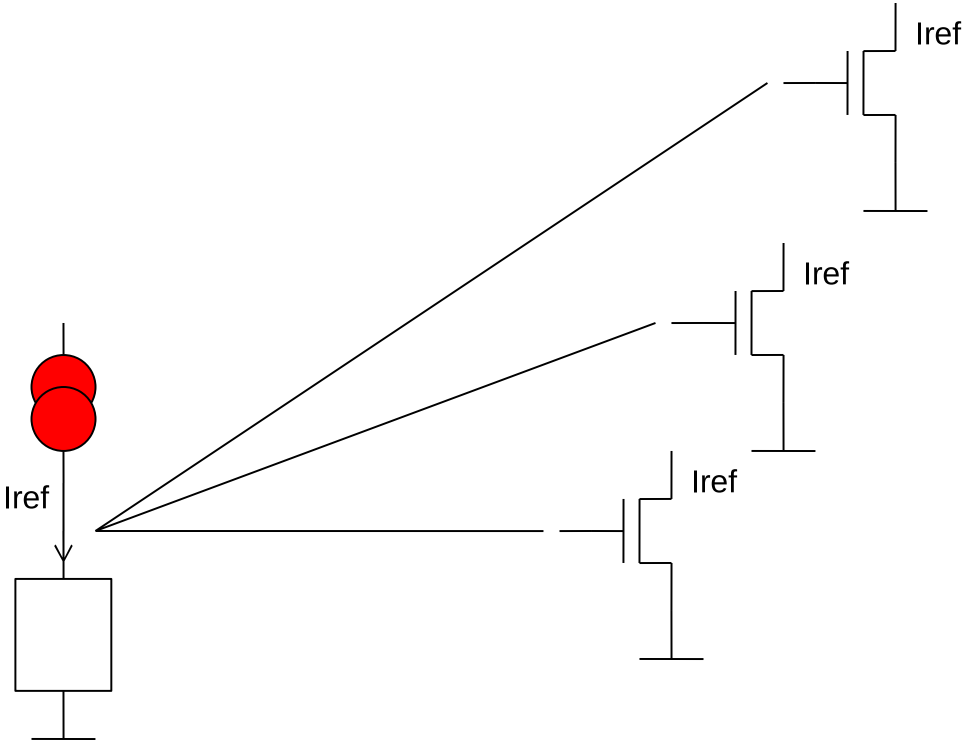
- Konstante Stromquellen sind wichtige Bauteile: Bias- oder Lastelement
- Wie erzeugen wir Vgs?
- Möglichkeit 1: Spannungsteiler – Vgs = f(VDD), auch wenn Vgs = const -> Ids = f(T)





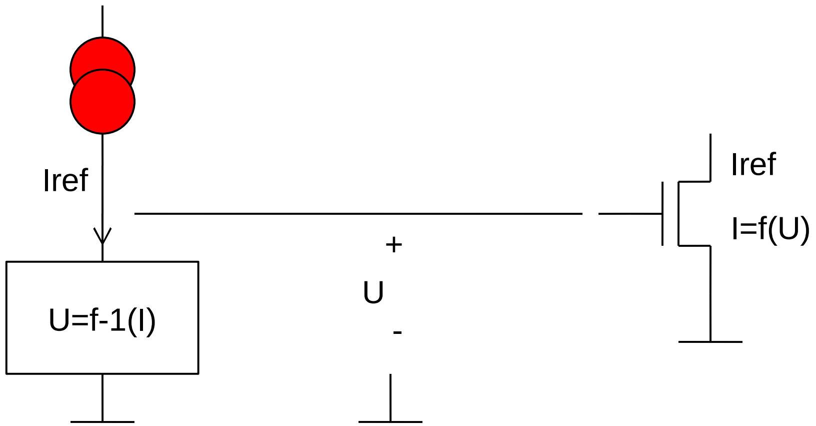
Stromspiegel

- Idee: Referenzstromgenerator – Iref != f(T, VDD)
- Referenzstrom wird „kopiert“ und mehrfach verwendet


Iref
Iref
Iref
Iref

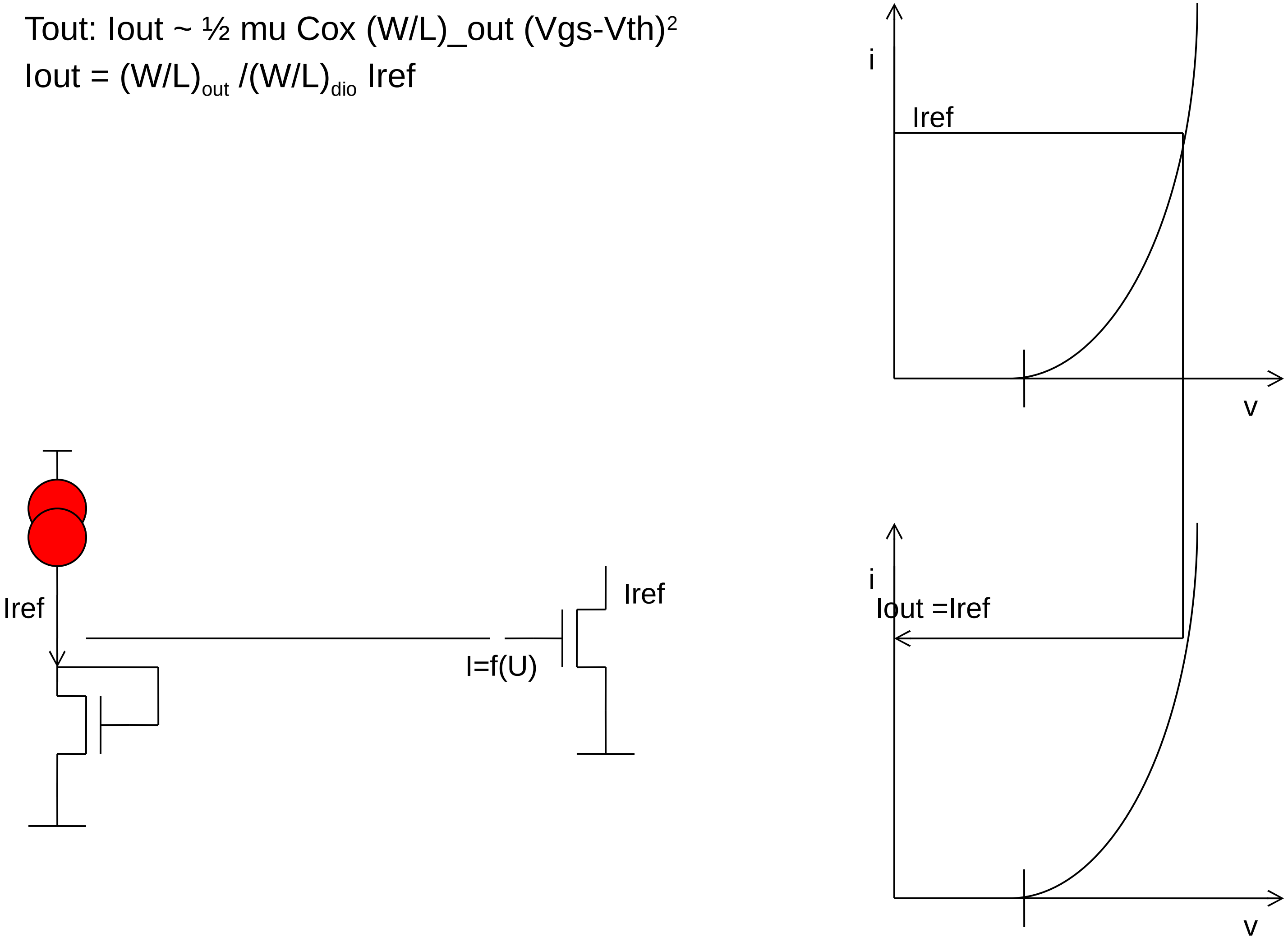
Stromspiegel

- Wir brauchen eine Schaltung die aus dem Referenz-Iref Strom eine passende Vgs Spannung erzeugt so dass Ids = Iref gilt


Iref
U=f-1(I)
+
U
-
Iref
I=f(U)

Stromspiegel

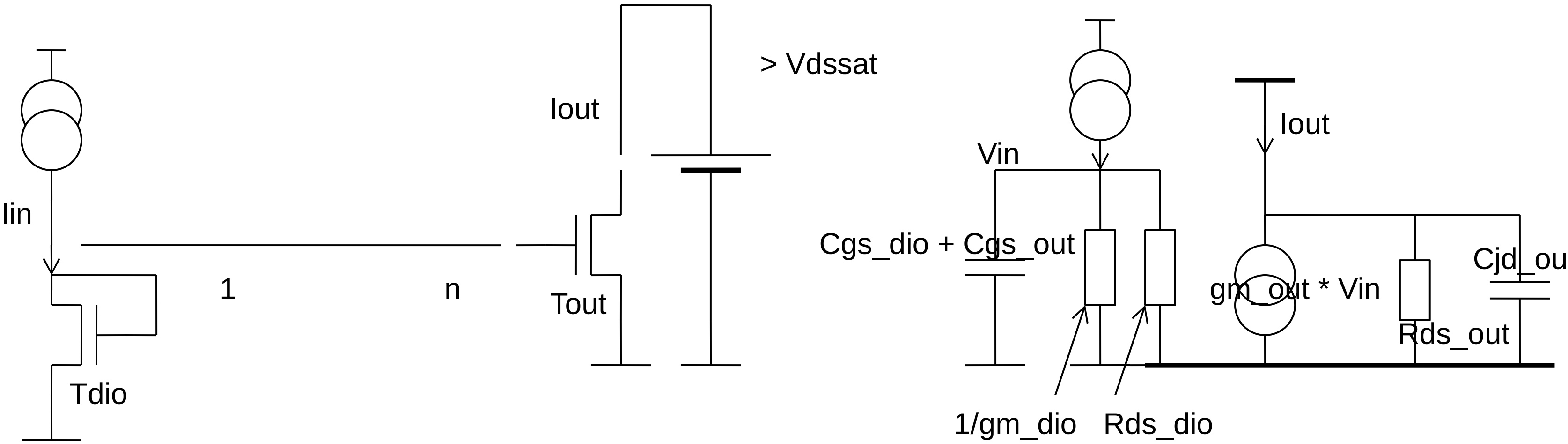
- Ein Stromspiegel ist die Kombination vom Diode Connected Mosfet und einer Stromquelle
- Diode: Iref ~ ½ mu Cox (W/L)_dio (Vgs-Vth)^2
- Tout: Iout ~ ½ mu Cox (W/L)_out (Vgs-Vth)^2
- Iout = $(W/L)_{out}$ /$(W/L)_{dio}$ Iref


i
Iref
v
Iref
Iref
I=f(U)
i
Iout =Iref
v

Stromspiegel

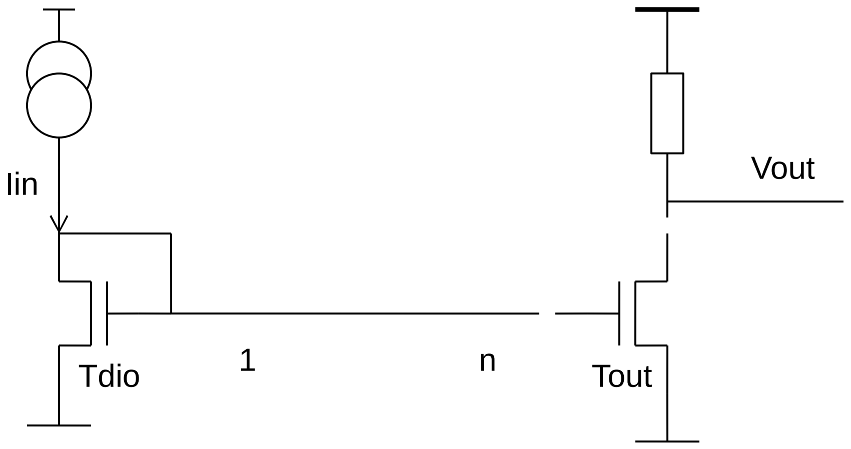
- Aktiver Stromspiegel: Iref -> Isignal (Iin)
- Sättigung – Stromspiegel funktioniert richtig nur wen Vout>Vdssat
- Iout = $(W/L)_{out} / (W/L)_{dio}$ Iin
- Iout = n * Iin
- AC Übertragungsfunktion:
- Bandbreite wird für höhere Verstärkung niedriger

$$I_{out}(s) = \frac{nI_{in}(s)}{1+(n+1)C_{gs}/g_{mdio}}$$


> Vdssat
Iout
Iin
1
n
Tout
Tdio
Vin
Iout
Cgs_dio + Cgs_out
Cjd_out
gm_out * Vin
Rds_out
1/gm_dio
Rds_dio

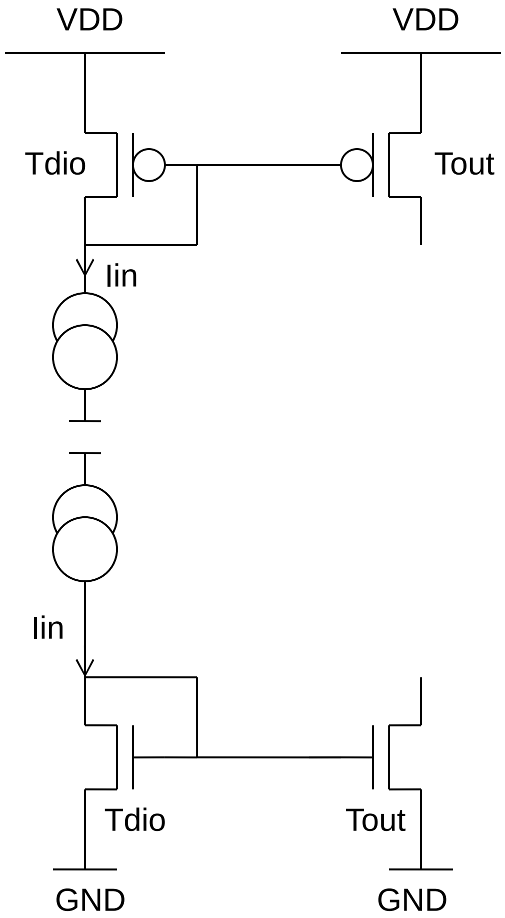
Stromspiegel

- Stromspiegel als Verstärker
- Bandbreite ist hoch (n*Cgs/gm) (~GHz)
- Signalübertragung (Rin ~ 100Ohm)


Iin
Vout
Tdio
1
n
Tout

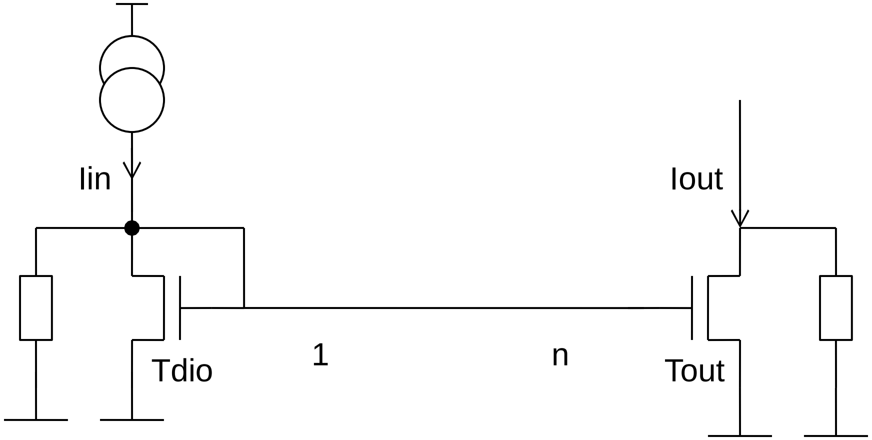
Stromspiegel

- PMOS und NMOS


VDD
VDD
Tdio
Tout
Iin
Iin
Tdio
Tout
GND
GND

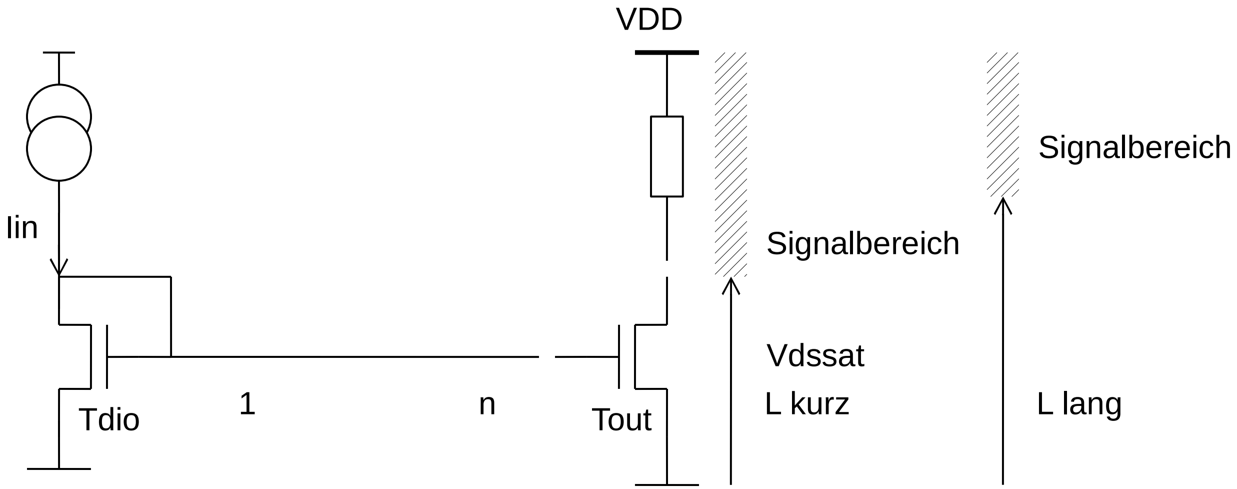
Stromspiegel

- Fehler wegen Rds: Vin != Vout => Iout != n Iin
- „Nichtlinearität“ – Signalabhängiger Fehler
- L groß hilft


Iin
Iout
1
n
Tdio
Tout

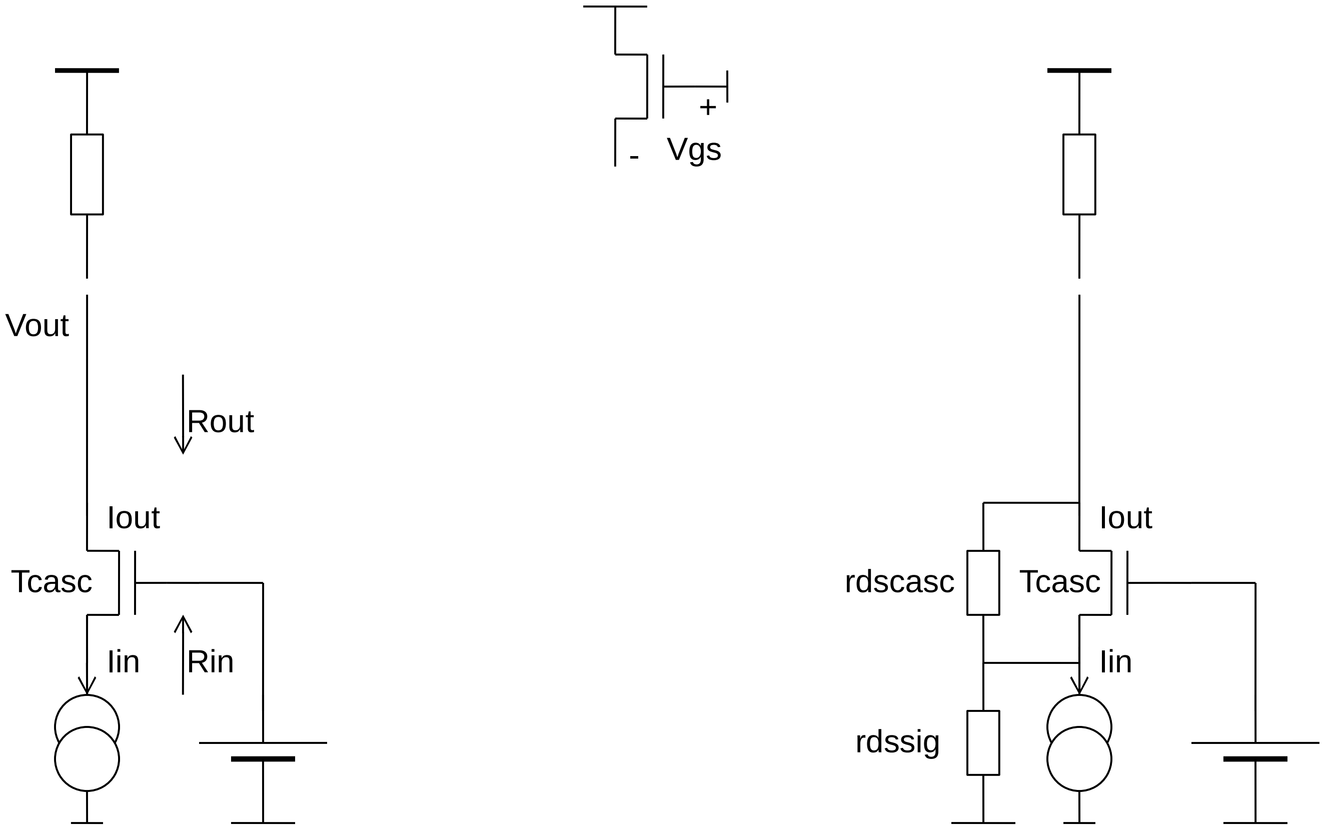
Stromspiegel

- L vergrößert Vdssat, Signalbereich wird linietiert
- Warum ist ein größer Signalbereich wichtig: S/N Verhältnis
- Kompromiss: Geschwindigkeit, Linearität, Verstärkung, Spannungsversorgung, Stromverbrauch


VDD
Signalbereich
Iin
Signalbereich
Vdssat
L kurz
L lang
1
n
Tdio
Tout

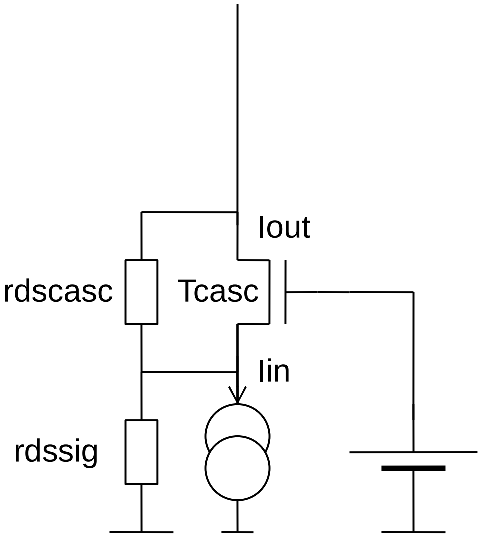
Kaskode

- Kaskode ist ein Impedanzwandler
- Iout = Iin
- Rin = 1/gm_casc (klein)
- Rout = gmcasc rdscasc * rdssig > 10 * rdssig (groß)

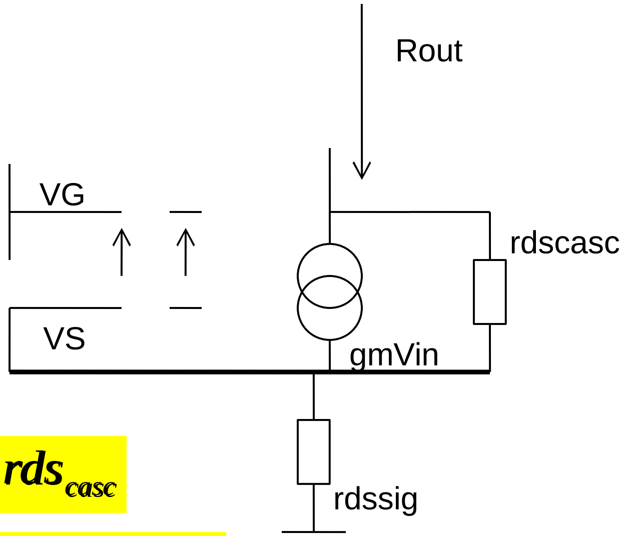

+
-
Vgs
Vout
Rout
Iout
Tcasc
Iin
Rin
Iout
rdscasc
Tcasc
Iin
rdssig

Kaskode

- Kaskode ist ein Impedanzwandler
- Iout = Iin
- Rin = 1/gm_casc (klein)
- Rout = gmcasc rdscasc * rdssig > 10 * rdssig (groß)


Iout
rdscasc
Tcasc
Iin
rdssig

$$R_{OUTFB} = R_{OUT} \frac{1 - \beta A_{SC}}{1 - \beta A_{OL}} = R_{OUT} \, | \beta A_{SC} |$$

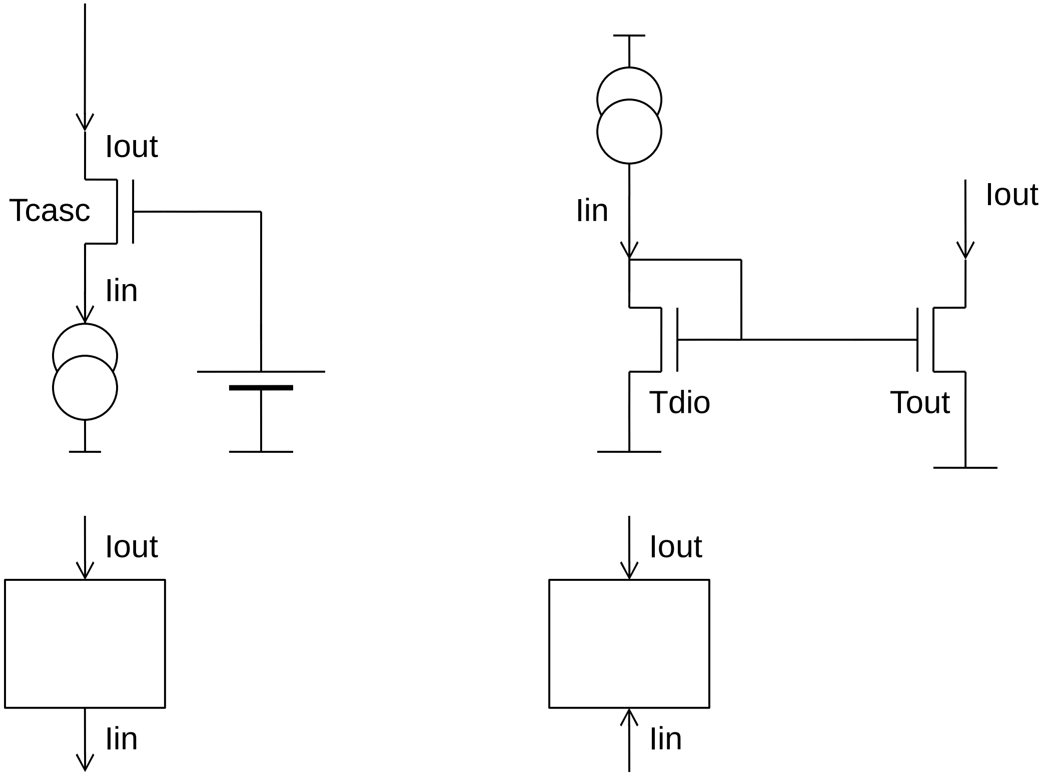

Rout
VG
VS
rdscasc
gmVin
rdssig

$$R_{OUT} = rds_{sig} + rds_{casc}$$

$$\beta A = - \frac{rds_{sig} rds_{casc}}{rds_{sig} + rds_{casc}} g_{mcasc}$$

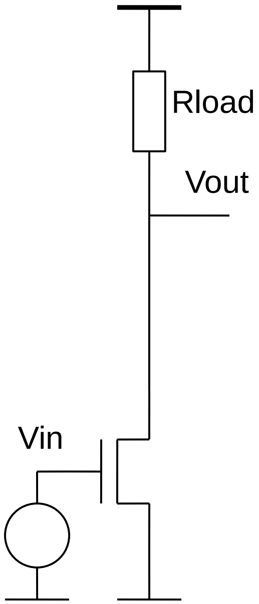
Kaskode

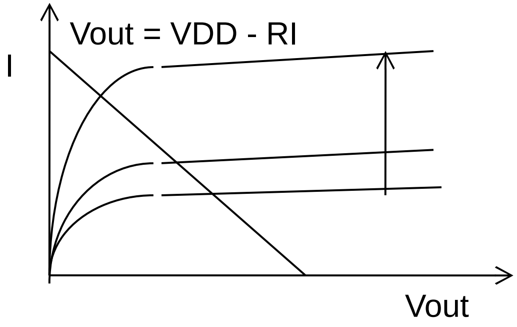
- Kaskode und Stromspiegelsind sind ähnlich

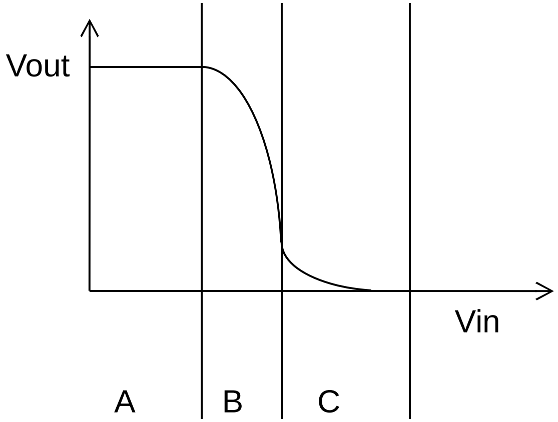

Iout
Tcasc
Iin
Iin
Iout
Tdio
Tout
Iout
Iin
Iout
Iin

Verstärker

- Verstärkerstufe (Eingangsstufe, Gain Stage) – Ziel große Spannungsverstärkung
- U-I Wandler + R
- DC und AC Analyse
- DC (Mathematisch, Graphisch)
- A: Eingangstransistor Sperrt
- B: Eingangstransistor in Sättigung
- C: Eingangstransistor linear

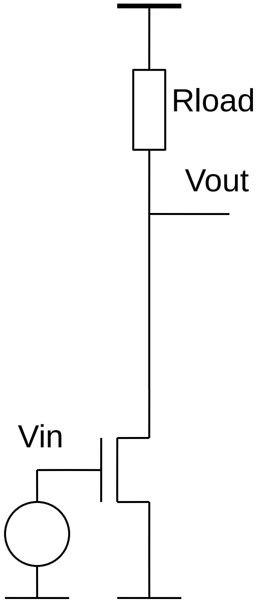


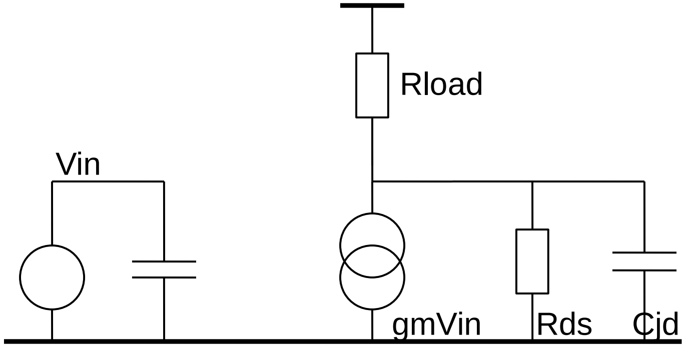




Verstärker

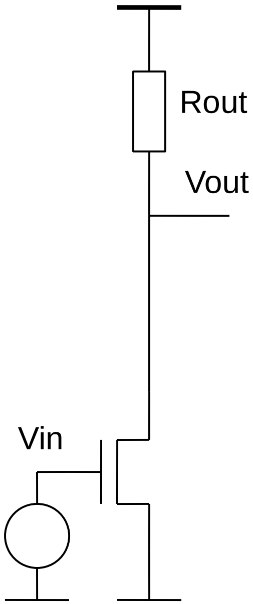
- B: Eingangstransistor in Sättigung
- A = - gm * (Rds || Rload) ~ - gm * Rload

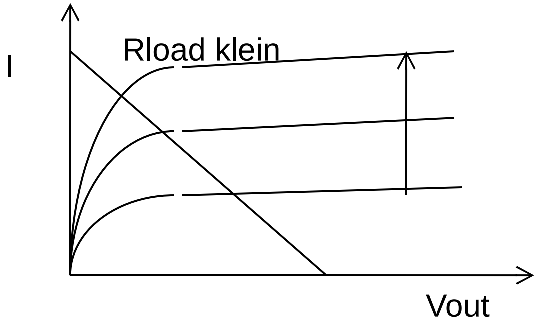

Rload
Vout
Vin

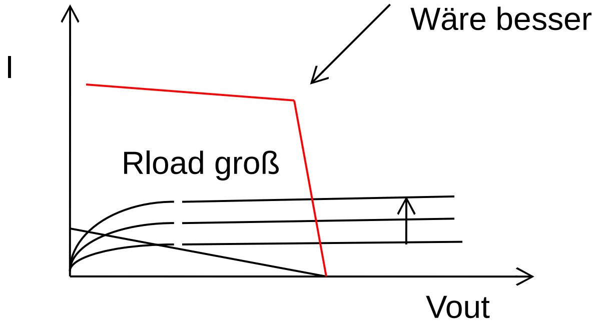

Rload
Vin
gmVin
Rds
Cjd

Verstärker

- Wenn wir die Verstärkung maximieren möchten brauchen wir höhe gm und Rload
- Beides ist unmöglich

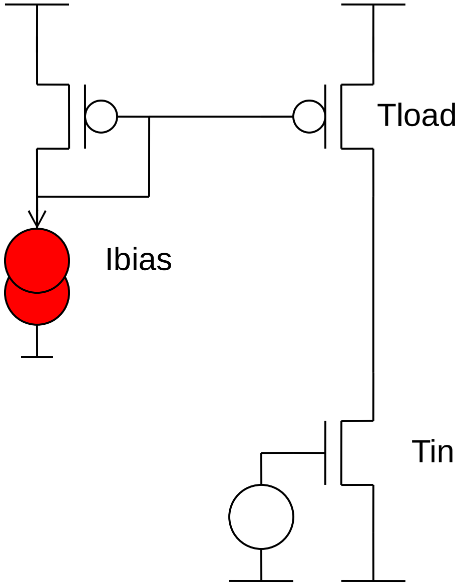


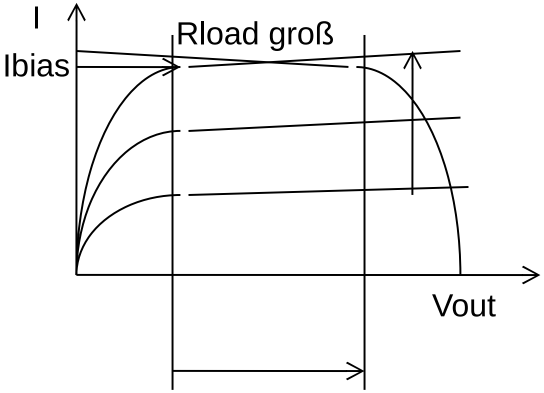


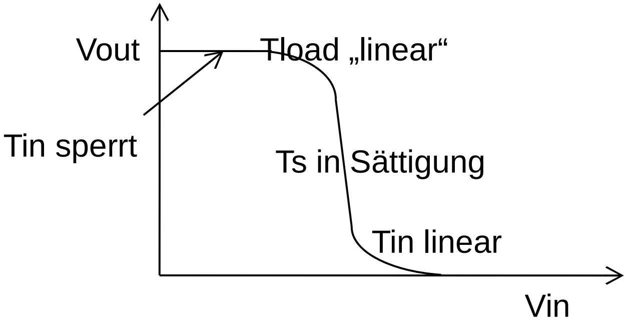


Verstärker

- Widerstand durch eine PMOS Stromquelle ersetzt – bessere Kennlinie
- Die Verstärkung hoch im Bereich wo beide Transistoren (Tin und Tout) in Sättigung sind

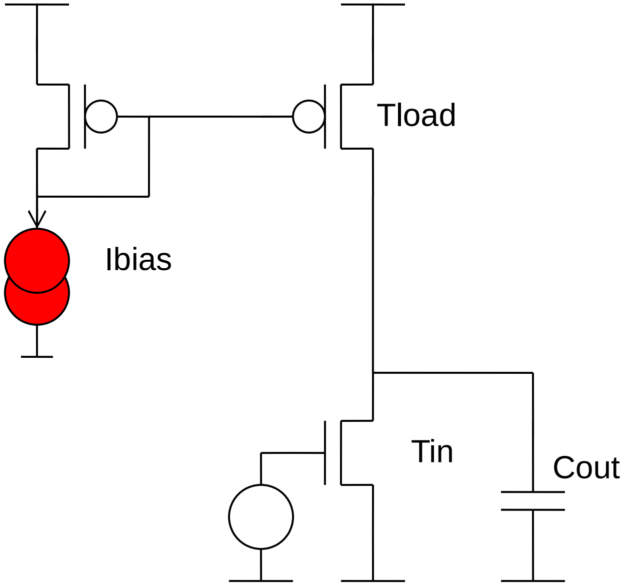


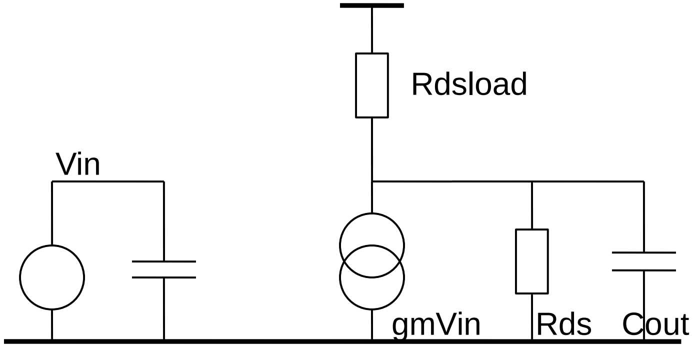




Verstärker

- Kleinsignalmodel
- Die Spannungsverstärkung ist – gm rds || rdsload =(def) – gm Rout
- Rout = rdsload || rdsin
- Cin (unwichtig) (ideale Spannungsquelle)
- AC


Tload
Ibias
Tin
Cout

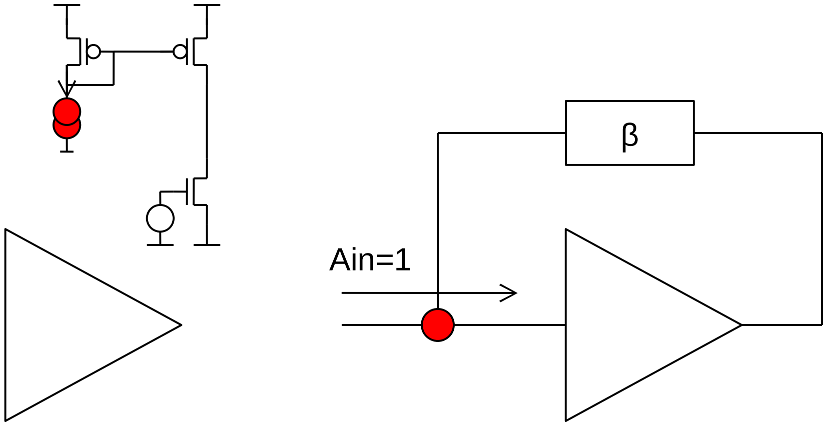

Rdsload
Vin
gmVin
Rds
Cout

$$V_{out}(s)/V_{in}(s) = \frac{-\,g_m R_{out}}{1+sC_{out}R_{out}}$$

$$R_{out} = rds_{in} \,\|\, rds_{load}$$

Verstärker

- Zeitkonstanten mit und ohne GK



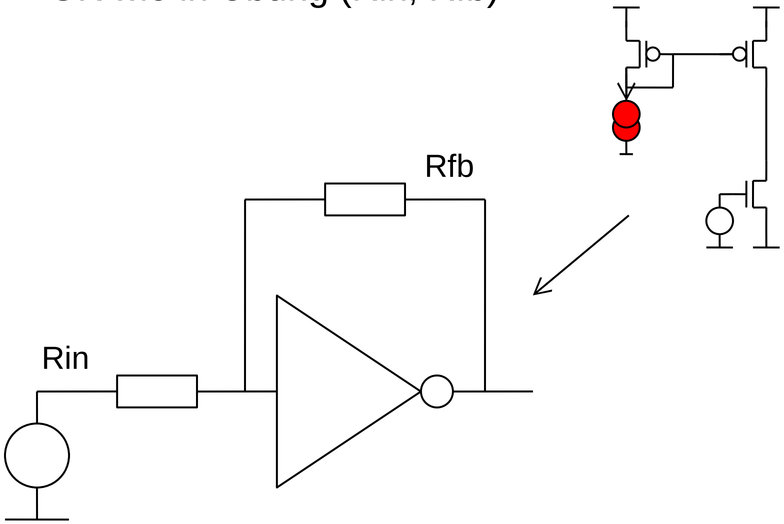
$$V_{out}(s)/V_{in}(s)=\frac{-g_mR_{out}}{1+sC_{out}R_{out}}=A_{OL}$$

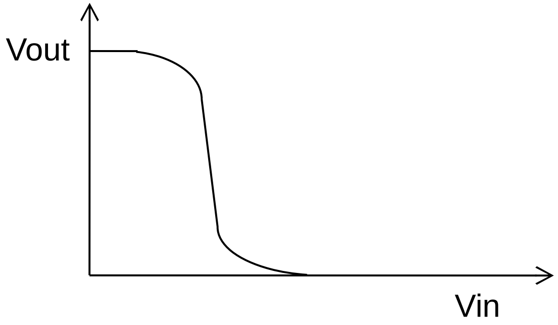
$$V_{out}(s)/V_{in}(s)=\frac{A_{OL}}{1+\beta A_{OL}}\approx-\frac{1}{\beta}\left(\frac{1}{1+s\tau/\beta A}\right)$$

$$\tau_{FB}=\tau/\beta A=R_{out}C_{out}/\beta g_mR_{out}=C_{out}/\beta g_m$$

Verstärker mit Gegenkopplung

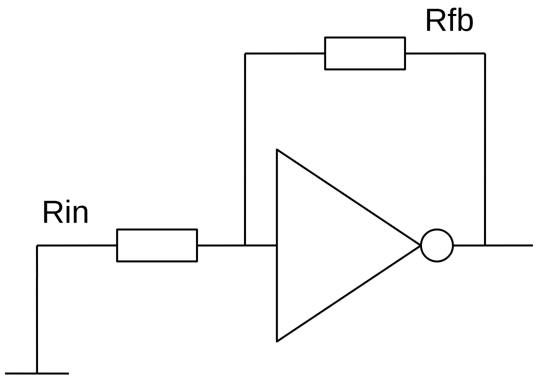
- Gegenkopplung
- AC, DC Analyse
- GK wie in Übung (Rin, Rfb)

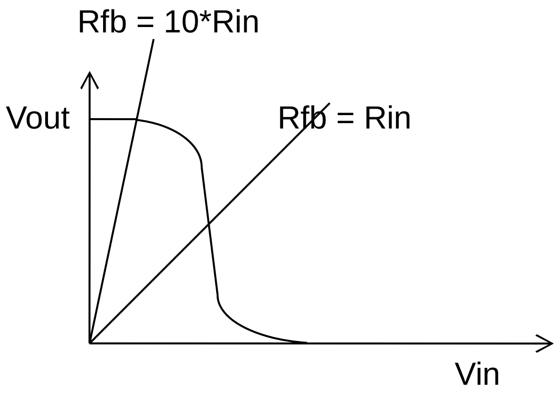




Verstärker mit Gegenkopplung

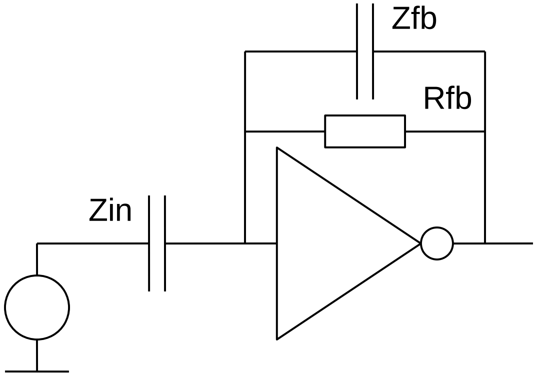
- Gegenkopplung
- DC Analyse
- Problem: für Rin << Rfb Vout ist zu hoch und Vin zu niedrig – Transistor sperrt

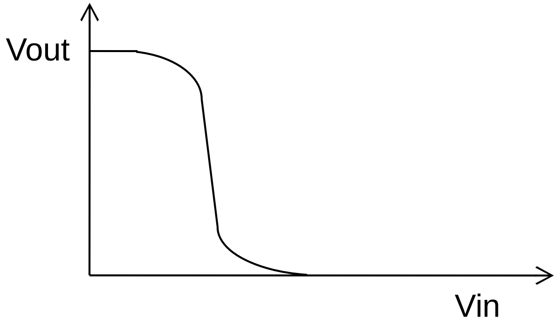




Verstärker mit Gegenkopplung

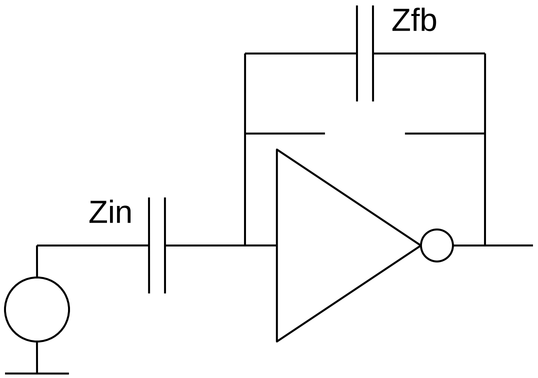
- Modifizierte Gegenkopplung
- AC, DC Analyse

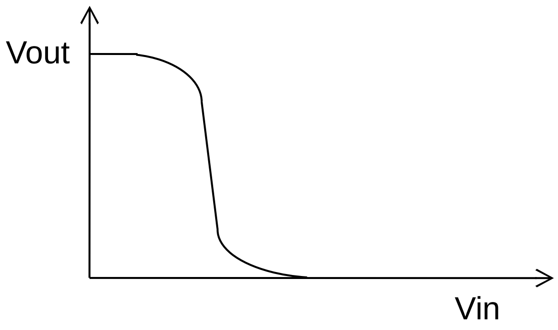




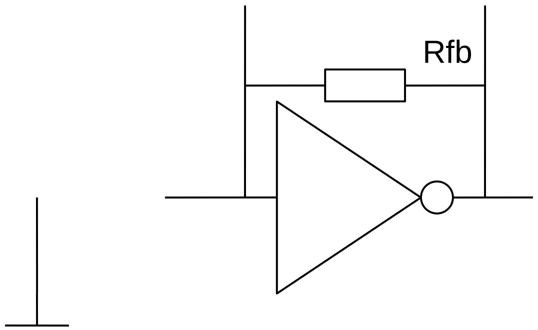
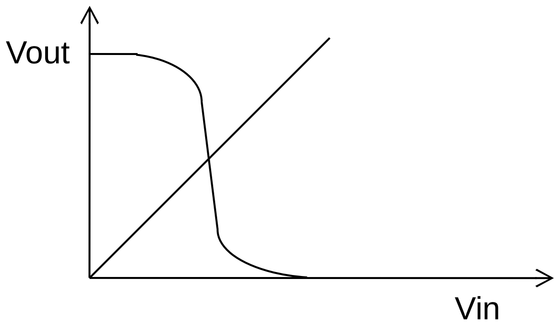
Verstärker mit Gegenkopplung

- AC Analyse
- Rfb ist sehr groß und sein Strom kann für AC Signale vernachlässigt werden
- A = - Zfb/Zin = - Cin/Cfb





Verstärker mit Gegenkopplung

- DC Analyse
- Vout = Vin
- Arbeitspunkt ok (ein bisschen zu niedrig)